

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-082743

(43)Date of publication of application : 21.03.2000

(51)Int.Cl.

H01L 21/82

(21)Application number : 11-175930

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.06.1999

(72)Inventor : IGARASHI MUTSUNORI

MIHASHI TAKASHI

MURAKATA MASAMI

YAMADA MASAOKI

MINAMI FUMIHIRO

AKIYAMA TOSHIHIRO

AOKI TAKAOKI

(30)Priority

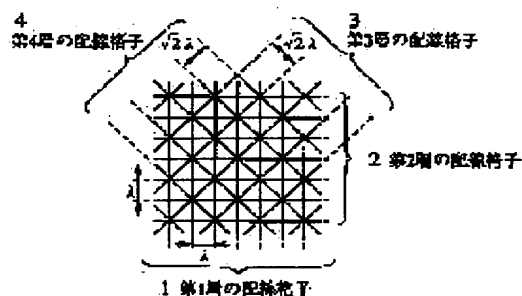
Priority number : 10176285 Priority date : 23.06.1998 Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, WIRING METHOD THEREOF AND CELL ARRANGEMENT METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce delay in a circuit and realize improvement of noise resistance in a semiconductor integrated circuit of a multilayer wiring structure with a wiring layer of an oblique wiring lattice.

SOLUTION: An n-th ($n \geq 2$) layer wiring is provided with reference wiring layers 1, 2 forming an X-Y direction reference wiring lattice by a wiring of an m-th ($m \geq 2$) layer at right angles to an (n-1)-th layer wiring and oblique wiring layers 3, 4 which intersect at 45° or 135° to a reference wiring lattice by an (m+1)-th layer wiring and an (m+2)-th layer wiring which intersect at right angles mutually and whose wiring pitch between the (m+1)-th layer wiring and the (m+2)-th layer wiring is set $\sqrt{2}$ times to a wiring pitch between wiring of each reference wiring layer and whose wiring width is set to $\sqrt{2}$ times the wiring width of each reference wiring layer.



LEGAL STATUS

[Date of request for examination]

27.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-82743

(P2000-82743A)

(43) 公開日 平成12年 3 月21日 (2000. 3. 21)

(51) Int.Cl.⁷

H 0 1 L 21/82

識別記号

F I

H 0 1 L 21/82

テマコード* (参考)

W

審査請求 未請求 請求項の数25 O L (全 21 頁)

(21) 出願番号 特願平11-175930

(22) 出願日 平成11年 6 月22日 (1999. 6. 22)

(31) 優先権主張番号 特願平10-176285

(32) 優先日 平成10年 6 月23日 (1998. 6. 23)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 五十嵐 陸典

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン
ター内

(72) 発明者 三橋 隆

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン
ター内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

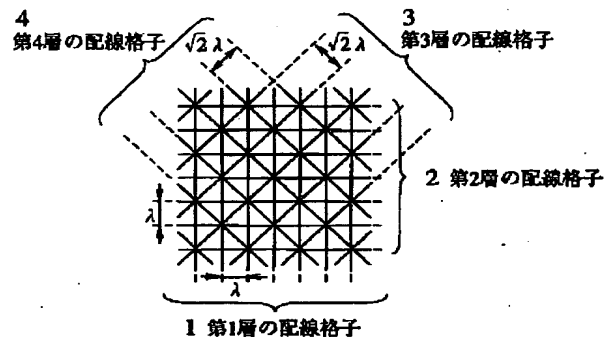
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置、半導体集積回路配線方法およびセル配置方法

(57) 【要約】

【課題】 斜め方向の配線格子の配線層を具備する多層配線構造の半導体集積回路において、回路の遅延の低減およびノイズ耐性の向上を実現する。

【解決手段】 第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線格子を形成する基準配線層 (1、2) と、互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、基準配線格子に対して45度または135度の角度で交差し、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるとともに、その配線幅が、基準配線層のそれぞれの層の配線幅に対して $\sqrt{2}$ 倍に設定される斜め配線格子を形成する斜め配線層 (3、4) とを具備する。



【特許請求の範囲】

【請求項 1】 複数の単位素子が形成された半導体領域と、

前記半導体領域の上層に形成され、第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線格子を形成する基準配線層と、

前記基準配線層の上層に位置し、互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線格子に対して 45 度または 135 度の角度で交差する斜め配線格子を形成する斜め配線層とを具備し、

前記斜め配線層は、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるとともに、その第 $m+1$ 層配線及び前記第 $m+2$ 層配線の配線幅が、前記基準配線層のそれぞれの層の配線幅に対して $\sqrt{2}$ 倍に設定されることを特徴とする半導体集積回路装置。

【請求項 2】 前記斜め配線層は、その配線膜厚が、前記基準配線格子の配線膜厚の $\sqrt{2}$ 倍に設定されることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記基準配線層と前記斜め配線層は、配線チャネル領域を構成し、前記配線チャネル領域は、前記単位素子からなる論理セルを列状に配置したセルロウと平行な方向に設けられることを特徴とする請求項 1 または 2 に記載の半導体集積回路装置。

【請求項 4】 前記基準配線層の配線と前記斜め配線層の配線は、これらの交差箇所に配線接続用のビアホールを設け、前記ビアホールは、その横断面が六角形、八角形および平行四辺形のいずれかの形状であることを特徴とする請求項 1 乃至 3 のいずれか記載の半導体集積回路装置。

【請求項 5】 前記複数の単位素子はセルを構成し、前記セルは、前記斜め配線格子の配線方向に沿った形状で定義される、配線が行われない障害物領域を有することを特徴とする請求項 1 乃至 4 のいずれか記載の半導体集積回路装置。

【請求項 6】 前記斜め配線層の配線は、その一部が電源供給用の電源配線として構成されることを特徴とする請求項 1 乃至 5 のいずれか記載の半導体集積回路装置。

【請求項 7】 前記複数の単位素子は、前記複数の単位素子からなるセルを構成し、前記セルは、ツリー型の配線経路によりクロック信号を供給され、

前記ツリー型の配線経路は、第 1 および第 2 の地点から前記斜め配線層の配線上を互いに近づき合うように形成された経路による第 1 の結線と、第 3 および第 4 の地点から前記斜め配線層の配線上を互いに近づき合うように形成された経路による第 2 の結線とを、前記基準配線層

の配線によって結線して構成される単位配線形状を組み合わせて構成されることを特徴とする請求項 1 乃至 6 のいずれか記載の半導体集積回路装置。

【請求項 8】 上記半導体集積回路装置は、さらに、前記斜め配線層の上層に位置し、互いに直交する第 $p-1$ ($p \geq 2$) 層配線と第 p 層配線により、前記斜め配線格子あるいは第 $p-2$ 層配線に対して 45 度または 135 度の角度で交差する上部配線格子を形成する上部配線層を具備し、

前記上部配線層は、その各層の配線間の配線ピッチが、前記斜め配線層のそれぞれの層の配線間または前記第 $p-2$ 層配線の配線ピッチに対して $\sqrt{2}$ 倍に設定されるとともに、その各層の配線の配線幅が、前記斜め配線層のそれぞれの層の配線または前記第 $p-2$ 層配線の配線幅に対して $\sqrt{2}$ 倍に設定されることを特徴とする請求項 1 乃至 7 のいずれか記載の半導体集積回路装置。

【請求項 9】 前記斜め配線層は、概ねチップ全体にわたるグローバル配線が配線されることを特徴とする請求項 1 乃至 8 のいずれか記載の半導体集積回路装置。

【請求項 10】 前記基準配線層は、前記グローバル配線以外のローカルな配線が配線されることを特徴とする請求項 9 に記載の半導体集積回路装置。

【請求項 11】 前記複数の単位素子はセルを構成し、前記セルは、前記グローバル配線と直接接続すべき場合、前記斜め配線層の配線と直接接続可能な出力端子形状を有することを特徴とする請求項 9 または 10 に記載の半導体集積回路装置。

【請求項 12】 上記半導体集積回路装置は、さらに、フリップフロップ回路と、

チップのコーナーに配置される PLL (Phase Locked Loop) とを具備し、前記フリップフロップ回路は、ツリー型の配線経路によりクロック信号を供給され、前記ツリー型の配線経路は、前記 PLL からチップ中央近傍へ、前記斜め配線層の配線を用いて結線され、前記チップ中央近傍から前記フリップフロップ回路に対してバッファセルを介して RC 積をバランスさせるように階層的に結線されることを特徴とする請求項 1 乃至 11 のいずれか記載の半導体集積回路装置。

【請求項 13】 上記半導体集積回路装置は、さらに、その内部の配線に前記基準配線層の配線を用いる SRAM 回路を具備し、前記斜め配線層は、前記 SRAM 回路上を通過する配線が配線されることを特徴とする請求項 1 乃至 12 のいずれか記載の半導体集積回路装置。

【請求項 14】 前記基準配線層は 3 層により構成され、前記基準配線層の第 1 層配線および第 3 層配線は、前記単位素子からなる論理セルを列状に配置したセルロウと平行な方向に配線されることを特徴とする請求項 1 乃至 13 のいずれか記載の半導体集積回路装置。

【請求項 15】 前記基準配線層は 2 層により構成されることを特徴とする請求項 1 乃至 13 のいずれか記載の半導体集積回路。

【請求項 16】 半導体集積回路の素子を配線する半導体集積回路配線方法であって、
第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線層を形成するステップと、
互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線層に対して 45 度または 135 度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるときに、その第 $m+1$ 層配線及び前記第 $m+2$ 層配線の配線幅が、前記基準配線層のそれぞれの層の配線幅に対して $\sqrt{2}$ 倍に設定されるべく形成するステップとを含むことを特徴とする半導体集積回路配線方法。

【請求項 17】 上記半導体集積回路配線方法は、さらに、
前記基準配線層が構成する配線ネット中から所定の遅延時間を越える遅延を生ずる配線ネットを抽出するステップと、
前記抽出された配線ネット上の、前記斜め配線格子の配線と接続できる位置に信号増幅用のバッファセルを挿入するステップとを含むことを特徴とする請求項 16 に記載の半導体集積回路配線方法。

【請求項 18】 上記半導体集積回路配線方法は、さらに、
前記複数の単位素子からなるセルを定義するステップと、
前記セル中に、配線が行われない障害物領域を、前記斜め配線層の配線方向に沿った形状で定義するステップとを含むことを特徴とする請求項 16 または 17 に記載の半導体集積回路配線方法。

【請求項 19】 前記障害物領域定義ステップは、その角部近傍に、前記第 $m+1$ 層配線または前記第 $m+2$ 層配線を配置することを特徴とする請求項 18 に記載の半導体集積回路配線方法。

【請求項 20】 上記半導体集積回路配線方法は、さらに、
前記基準配線層の前記 m 層のいずれかの配線であって、同一の層に属する平行する 2 本の配線のうち、一方の配線が他方の配線にノイズを及ぼす場合に、前記 2 本の配線のいずれか一方の配線の途中の所定の部分を、前記斜め配線層の配線で置き換えるステップを含むことを特徴とする請求項 16 乃至 19 のいずれか記載の半導体集積回路配線方法。

【請求項 21】 上記半導体集積回路配線方法は、さらに、
前記置き換えに用いられた前記斜め配線層の配線の経路

中に、バッファセルを挿入するステップを含むことを特徴とする請求項 20 に記載の半導体集積回路配線方法。

【請求項 22】 半導体集積回路上にセルを配置するセル配置方法であって、
第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線層を形成するステップと、
互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線層に対して 45 度または 135 度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるべく形成するステップと、
複数の単位素子からなるセルを、前記基準配線層の配線方向に対応する $X-Y$ 方向のカットラインと前記斜め配線層の配線方向に対応する斜め方向のカットラインとを用いた所定のカット法に基づき配置するステップとを含むことを特徴とするセル配置方法。

【請求項 23】 上記半導体集積回路配線方法は、さらに、
第 1 および第 2 の地点から前記斜め配線層の配線上を互いに近づき合うように形成された第 1 の経路を設定するステップと、
第 3 および第 4 の地点から前記斜め配線層の配線上を互いに近づき合うように形成された第 2 の経路を設定するステップと、
前記第 1 の経路と前記第 2 の経路とを、前記基準配線層の配線によって結線して構成される単位配線形状を形成するステップと、
前記単位配線形状を組み合わせて前記複数の単位素子からなるセルにクロック信号を供給するツリー型の配線経路を形成するステップとを含むことを特徴とする請求項 16 乃至 22 のいずれか記載の半導体集積回路配線方法。

【請求項 24】 半導体集積回路の素子を配線する半導体集積回路配線方法であって、
第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線層を形成するステップと、
互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線層に対して 45 度または 135 度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるべく形成するステップと、
チップのコーナーに配置される PLL (Phase Locked Loop) からチップ中央近傍へ、前記斜め配線層の配線を用いて結線するステップと、
前記チップ中央近傍から前記チップ中の前記フリップフロップ回路に対してバッファセルを介して RC 積をパラ

ンスさせるように階層的に結線するステップとを含むことを特徴とする半導体集積回路配線方法。

【請求項 25】 半導体集積回路の素子を配線する半導体集積回路配線方法であって、

第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線層を形成するステップと、

互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線層に対して 45 度または 135 度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるべく形成するステップと、

その内部の配線に前記基準配線層の配線を用いる、SRAM 回路を形成するステップと、

前記斜め配線層上に前記 SRAM 回路を通過する配線を形成するステップとを含むことを特徴とする半導体集積回路配線方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、多層配線構造を有する半導体集積回路装置、半導体集積回路配線方法およびセル配置方法に関する。特に、 $X-Y$ 方向の配線格子の配線層の上層に斜め方向の配線格子の配線層が形成された半導体集積回路において、回路の遅延の低減およびノイズ耐性の向上を実現する半導体集積回路および半導体集積回路配線技術に関する。

【0002】

【従来の技術】 従来のスタンダードセル方式またはゲートアレイ方式による LSI の多層配線構造には、直交する配線層を上層に積み重ねていく方式が採られてきた。すなわち、第 1 層と第 2 層が直交し、第 2 層と第 3 層が直交する、というように、第 $n-1$ 層と第 n 層とが直交する構成である。このような各層が直交する多層配線構造においては、対角方向の二点を接続する場合に、ユーグリッド距離分だけ離れた点を接続することになる。このため、直線距離の $\sqrt{2}$ 倍の距離以上の長さの配線が必要となる。したがって、直交型の多層配線構造は、集積度的にも、遅延特性的にもオーバーヘッドを生じていた。

【0003】 しかしながら、コンピュータ上で LSI 配線設計をする際には、直交座標系で配線する手法がアルゴリズム的に簡便である。このため、コンピュータ上では、上記オーバーヘッドを無視して配線設計が行われていた。

【0004】 ところが、回路構造の微細化が進展するにつれて、配線構造に起因する遅延成分が回路全体のパフォーマンスを左右するようになってきた。このため、上記の配線長が長くなることによるオーバーヘッドを無視することができなくなってきた。

【0005】 具体的には、第 1 に、配線抵抗に起因する遅延成分がクリティカルパスディレイの大半を占める。このように、配線長が回路パフォーマンスに与える影響は増している。

【0006】 また、第 2 に、配線に起因する負荷容量の内訳は、対基板の容量よりも隣接する配線間のカップリング容量の方が支配的となっている。このため、隣接する配線間の容量を如何に軽減するかが回路パフォーマンスを向上させるための重要な要素となってきた。

【0007】 さらに、第 3 に、この配線間のカップリング容量に起因するカップリングノイズによる誤動作も深刻化している。特に従来の、すべての配線が直交する配線構造においては、同一の層内で隣接して平行に走る配線間で相互に影響を及ぼし合う場合、他の配線層に配線を代えてもやはり上下で平行に走ることになる。このため、同層内で平行に走る配線間のカップリング容量を軽減することは困難である。

【0008】 直交型多層配線構造に関連して、直交する配線構造に加え、斜め方向 (45° または 135°) の配線を利用して配線長を短縮する配線技術が提案されている。例えば、特開平 5-102305 号 “半導体集積回路の自動レイアウト方法” にこの斜め方向の配線技術が開示されている。この従来技術を説明する。

【0009】 図 28 は、この斜め方向の配線を利用した従来技術の半導体集積回路装置の配線格子構造を示すレイアウト図である。

【0010】 この配線構造は、直交座標を構成するレイヤの上に別のレイヤとして斜め方向の配線格子を形成したものである。図 28 中の 401 は、第 1 層の配線格子 (グリッド) であり、その上層に直交して第 2 層の配線格子 402 が形成されている。さらにこれら上層には、第 1 層 401 に対して 45° 斜め方向の第 3 層配線グリッド 403 と、第 1 層 401 に対して 135° 斜め方向の第 4 層配線グリッド 404 とが形成されている。

【0011】 しかしながら、斜め方向の配線を利用したこの従来技術の多層配線技術は、以下の問題点があった。

【0012】 (1) 従来の多層配線構造では、単純に斜め方向の配線格子を設けているので、その格子点がずれるという問題があった。すなわち、図 29 に示すように、第 1 層 401 と第 2 層 402 の格子点は 501 になる。一方、第 3 層 403 と第 4 層 404 の格子点は 502 になる。ここで、第 4 層 404 から第 3 層 403 に接続孔 (ビアホール) を置く場合には格子点 502 に置くことになる。一方、第 3 層 403 から第 2 層 402 にビアホールを置く場合は、格子点 501 に置くことになる。ところが、これら格子点 502 と 501 とが接近していると、ビアホールを置くことができない。このため、別の位置にビアホールを設ける必要が生じる。このように、上層の斜め配線格子 (第 3 層 403 と第 4 層 4

04)と下層のX-Y配線格子(第1層401と第2層402)との階層間において格子点がずれることによって、配線設計が複雑化していた。

【0013】(2)上層の斜め配線層の抵抗は、下層の配線層と同様となる。このため、上層に斜め配線層を用いても配線に起因するRC遅延は低減されない。ここで、RC遅延とは、抵抗成分Rと容量成分Cによる遅延である。このため、上層の斜め配線格子を使っても、長い距離を結線するためのグローバルな配線に適した配線構造を構築することはできない。

【0014】(3)上層の斜め配線層の配線ピッチに関しては、一般的に最小デザインルールよりも広いピッチとなっていない。このため、上層に斜め配線層を配置しても隣接する配線容量を軽減する構成にはなっていない。この点に関して、CAD上の配線グリッドに対してデザインルールによる配置配線間隔の制限が最も厳しい層の配線を斜めに配置する第2の技術が、特開平7-86414号"半導体装置"に開示されている。しかし、この従来技術は、配線幅を同時に広くとる構成でないため、上記の配線抵抗を軽減できない。また、隣接配線とのカップリング容量が軽減されないため、配線のRC遅延を軽減することはできない。

【0015】(4)ビアホール形状は、従来技術では、矩形形状に定義されていた。しかし、直交する配線同士以外の配線同士の接続を行う場合、つまり斜めに交差する配線を接続する場合には、矩形のビアホール形状では必要十分なカット面積を確保することができない。従って配線の断線不良を引き起こすエレクトロマイグレーション現象に対する耐性が不十分であった。

【0016】(5)論理セルを列状に配置して形成されるセルロウの定義と斜め配線格子の定義との関係が明確でなかった。このため、例えば、直交する二つの配線層と二つの斜め配線層との計四つの配線層が定義されている場合に、セルロウと平行に位置する配線リソースが不足することは明らかであった。この点に関して、直交する3つの配線層の上に斜め方向の2つの配線層を定義して、上記の配線リソース不足の問題を解決する技術が、特開平5-243379号"半導体集積回路装置"に開示されている。しかしこの技術では、5層の配線層が必要となり、コストの上昇を招くという問題がある。

【0017】(6)回路の誤動作を引き起こすクロストークノイズを同一配線層内で低減することができなかった。従来技術の斜め配線格子を備えた配線構造においては、同一配線層方向に上下の配線層が重なることがない。このため、上下の配線層の配線間のカップリング容量は小さくなるため、上下配線間のクロストークノイズの問題は解決される。しかし、同一配線層内では、異なる配線が平行に配されているので、隣接配線間のカップリング容量を軽減できない。つまり、従来の斜め配線格子技術では、同一配線層内で平行する二つの配線間で生ずる

クロストークノイズを除去することができなかった。

【0018】(7)電源供給用の配線とするには従来の斜め配線格子は不十分であった。例えば、組み合わせ回路を構成するチップのコア領域にパッドを構成するような場合には、このパッドの一部を電源供給用に用いることは可能である。(尚、このコア領域に対して、チップのI/Oを配置する周辺領域をI/O領域と呼ぶ。)この場合、上層の斜め配線格子層を電源供給用の補助的な配線として用いることができる。このような構成の場合において、従来の斜め配線格子構造は、幅広の配線を構成することに不向きな配線ピッチまたは配線幅を持った構造となっている。このため、上層の斜め配線格子層を電源供給用として有効利用するには適さない構造であった。

【0019】(8)PLL(Phase Locked Loop)からチップ内のフリップフロップにクロックを供給する配線の配線長が長いこと、遅延が増大していた。

【0020】PLLは、チップに内蔵されるアナログ回路の特性を悪化させないために、通常チップのコアに配置され、このコアから各フリップフロップに対して配線される。このため、最短でもチップの半周囲長に近い長さの配線を引く必要があった。従って、遅延が増大するとともに、バッファの段数が増えることによってクロックのデューティ比に悪影響があった。

【0021】(9)SRAMなどのメモリ回路の場合、これらメモリ回路上を通過する配線は、メモリ内の配線と通過配線との間のカップリングノイズを起こして性能を悪化させる。このため、このメモリ回路上の通過配線は、従来さけられて配線設計がなされていた。このメモリ回路上の通過配線をシールドする1つの従来技術がある。しかし、この技術では配線をシールドするためにさらにもう1層を必要とする。従って、回路の構成が複雑化していた。またメモリ回路上の通過配線を小振幅信号用に使用する他の従来技術がある。しかし、この技術では適用対象となる集積回路が限定されていた。

【0022】

【発明が解決しようとする課題】本発明は、従来技術の上記の問題点を解決するためになされたものである。

【0023】そして、その目的は、X-Y方向に直交する配線格子に加えて、斜め方向に直交する配線格子を設けた多層配線構造を用いる半導体集積回路において、斜め配線層を活用することによって、回路の遅延特性とノイズ耐性を向上させると共に配線設計の容易化および製造コストの低減化を可能にした半導体集積回路および半導体集積回路配線方法を提供することにある。

【0024】

【課題を解決するための手段】本発明の特徴は、複数の単位素子が形成された半導体領域と、前記半導体領域の上層に形成され、第n($n \geq 2$)層配線が、第n-1層配線と互いに直交するm($m \geq 2$)層の配線により、X

—Y方向の基準配線格子を形成する基準配線層と、前記基準配線層の上層に位置し、互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線格子に対して45度または135度の角度で交差する斜め配線格子を形成する斜め配線層とを具備し、前記斜め配線層は、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるとともに、その第 $m+1$ 層配線及び前記第 $m+2$ 層配線の配線幅が、前記基準配線層のそれぞれの層の配線幅に対して $\sqrt{2}$ 倍に設定されることを特徴とする半導体集積回路装置を提供する点にある。

【0025】また、本発明の他の特徴は、前記斜め配線層は、その配線膜厚が、前記基準配線格子の配線膜厚の $\sqrt{2}$ 倍に設定される点にある。

【0026】また、本発明の他の特徴は、前記基準配線層と前記斜め配線層は、配線チャネル領域を構成し、前記配線チャネル領域は、前記単位素子からなる論理セルを列状に配置したセルロウと平行な方向に設けられる点にある。

【0027】また、本発明の他の特徴は、前記基準配線層の配線と前記斜め配線層の配線は、これらの交差箇所に配線接続用のビアホールを設け、前記ビアホールは、その横断面が六角形、八角形および平行四辺形のいずれかの形状である点にある。

【0028】また、本発明の他の特徴は、前記複数の単位素子はセルを構成し、前記セルは、前記斜め配線格子の配線方向に沿った形状で定義される、配線が行われな

い障害物領域を有する点にある。

【0029】また、本発明の他の特徴は、前記斜め配線層の配線は、その一部が電源供給用の電源配線として構成される点にある。

【0030】また、本発明の他の特徴は、前記複数の単位素子は、前記複数の単位素子からなるセルを構成し、前記セルは、ツリー型の配線経路によりクロック信号を供給され、前記ツリー型の配線経路は、第1および第2の地点から前記斜め配線層の配線上を互いに近づき合うように形成された経路による第1の結線と、第3および第4の地点から前記斜め配線層の配線上を互いに近づき合うように形成された経路による第2の結線とを、前記基準配線層の配線によって結線して構成される単位配線形状を組み合わせて構成される点にある。

【0031】また、本発明の他の特徴は、上記半導体集積回路装置は、さらに、前記斜め配線層の上層に位置し、互いに直交する第 $p-1$ ($p \geq 2$) 層配線と第 p 層配線により、前記斜め配線格子あるいは第 $p-2$ 層配線に対して45度または135度の角度で交差する上部配線格子を形成する上部配線層を具備し、前記上部配線層は、その各層の配線間の配線ピッチが、前記斜め配線層のそれぞれの層の配線間または前記第 $p-2$ 層配線の配

線ピッチに対して $\sqrt{2}$ 倍に設定されるとともに、その各層の配線の配線幅が、前記斜め配線層のそれぞれの層の配線または前記第 $p-2$ 層配線の配線幅に対して $\sqrt{2}$ 倍に設定される点にある。

【0032】また、本発明の他の特徴は、前記斜め配線層は、概ねチップ全体にわたるグローバル配線が配線される点にある。

【0033】また、本発明の他の特徴は、前記基準配線層は、前記グローバル配線以外のローカルな配線が配線される点にある。

【0034】また、本発明の他の特徴は、前記複数の単位素子はセルを構成し、前記セルは、前記グローバル配線と直接接続すべき場合、前記斜め配線層の配線と直接接続可能な出力端子形状を有する点にある。

【0035】また、本発明の他の特徴は、上記半導体集積回路装置は、さらに、フリップフロップ回路と、チップのコーナーに配置されるPLL (Phase Locked Loop) とを具備し、前記フリップフロップ回路は、ツリー型の配線経路によりクロック信号を供給され、前記ツリー型の配線経路は、前記PLLからチップ中央近傍へ、前記斜め配線層の配線を用いて結線され、前記チップ中央近傍から前記フリップフロップ回路に対してバッファセルを介してRC積をバランスさせるように階層的に結線される点にある。

【0036】また、本発明の他の特徴は、上記半導体集積回路装置は、さらに、その内部の配線に前記基準配線層の配線を用いるSRAM回路を具備し、前記斜め配線層は、前記SRAM回路上を通過する配線が配線される点にある。

【0037】また、本発明の他の特徴は、前記基準配線層は3層により構成され、前記基準配線層の第1層配線および第3層配線は、前記単位素子からなる論理セルを列状に配置したセルロウと平行な方向に配線される点にある。

【0038】また、本発明の他の特徴は、前記基準配線層は2層により構成される点にある。

【0039】また、本発明の他の特徴は、半導体集積回路の素子を配線する半導体集積回路配線方法であって、第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、X-Y方向の基準配線層を形成するステップと、互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線格子に対して45度または135度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるとともに、その第 $m+1$ 層配線及び前記第 $m+2$ 層配線の配線幅が、前記基準配線層のそれぞれの層の配線幅に対して $\sqrt{2}$ 倍に設定されるべく形成するステップとを含むことを特徴とする半導体集積回路配線方法を提供する点にある。

【0040】また、本発明の他の特徴は、上記半導体集積回路配線方法は、さらに、前記基準配線層が構成する配線ネット中から所定の遅延時間を越える遅延を生ずる配線ネットを抽出するステップと、前記抽出された配線ネット上の、前記斜め配線層の配線と接続できる位置に信号増幅用のバッファセルを挿入するステップとを含む点にある。

【0041】また、本発明の他の特徴は、上記半導体集積回路配線方法は、さらに、前記複数の単位素子からなるセルを定義するステップと、前記セル中に、配線が行われない障害物領域を、前記斜め配線層の配線方向に沿った形状で定義するステップとを含む点にある。

【0042】また、本発明の他の特徴は、前記障害物領域定義ステップは、その角部近傍に、前記第 $m+1$ 層配線または前記第 $m+2$ 層配線を配置する点にある。

【0043】また、本発明の他の特徴は、上記半導体集積回路配線方法は、さらに、前記基準配線層の前記 m 層のいずれかの配線であって、同一の層に属する平行する2本の配線のうち、一方の配線が他方の配線にノイズを及ぼす場合に、前記2本の配線のいずれか一方の配線の途中の所定の部分を、前記斜め配線層の配線で置き換えるステップを含む点にある。

【0044】また、本発明の他の特徴は、上記半導体集積回路配線方法は、さらに、前記置き換えに用いられた前記斜め配線層の配線の経路中に、バッファセルを挿入するステップを含む点にある。

【0045】また、本発明の他の特徴は、半導体集積回路上にセルを配置するセル配置方法であって、第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線層を形成するステップと、互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線層に対して45度または135度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるべく形成するステップと、複数の単位素子からなるセルを、前記基準配線層の配線方向に対応する $X-Y$ 方向のカットラインと前記斜め配線層の配線方向に対応する斜め方向のカットラインとを用いた所定のカット法に基づき配置するステップとを含むことを特徴とするセル配置方法を提供する点にある。

【0046】また、本発明の他の特徴は、上記半導体集積回路配線方法は、さらに、第1および第2の地点から前記斜め配線層の配線上を互いに近づき合うように形成された第1の経路を設定するステップと、第3および第4の地点から前記斜め配線層の配線上を互いに近づき合うように形成された第2の経路を設定するステップと、前記第1の経路と前記第2の経路とを、前記基準配線層の配線によって結線して構成される単位配線形状を形成するステップと、前記単位配線形状を組み合わせ

前記複数の単位素子からなるセルにクロック信号を供給するツリー型の配線経路を形成するステップとを含む点にある。

【0047】また、本発明の他の特徴は、半導体集積回路の素子を配線する半導体集積回路配線方法であって、第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線層を形成するステップと、互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線層に対して45度または135度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるべく形成するステップと、チップのコーナーに配置されるPLL (Phase Locked Loop) からチップ中央近傍へ、前記斜め配線層の配線を用いて結線するステップと、前記チップ中央近傍から前記チップ中の前記フリップフロップ回路に対してバッファセルを介してRC積をバランスさせるように階層的に結線するステップとを含むことを特徴とする半導体集積回路配線方法を提供する点にある。

【0048】また、本発明の他の特徴は、半導体集積回路の素子を配線する半導体集積回路配線方法であって、第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線層を形成するステップと、互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線層に対して45度または135度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるべく形成するステップと、その内部の配線に前記基準配線層の配線を用いる、SRAM回路を形成するステップと、前記斜め配線層上に前記SRAM回路を通過する配線を形成するステップとを含むことを特徴とする半導体集積回路配線方法を提供する点にある。

【0049】

【発明の実施の形態】以下、図面を参照して、本発明に係る半導体集積回路および半導体集積回路配線方法の実施形態が詳細に説明される。

【0050】第1の実施形態

第1の実施形態は、互いに直交する第1層および第2層の基準配線格子の上層に、この基準配線格子に対して45度または135度の角度で交差し、互いに直交する第3層配線と第4層配線とにより形成された斜め配線格子を設け、この斜め配線格子の第3層配線間及び第4層配線間の配線ピッチおよび配線幅を、基準配線格子の配線ピッチに対して $\sqrt{2}$ 倍に設定したことにより、配線長を短縮するとともに、RC遅延を低減し、ノイズ耐性を向上させた実施形態である。

【0051】図1は、本発明の第1実施形態に係る半導

体集積回路装置の配線格子構造を示すレイアウト図である。図2は、図1に示すような配線格子構造に基づいて配線を実施した場合の配線構造の一例を示す平面図である。また、図3は、図4のA-A断面図である。

【0052】図1に示すように、第1の実施形態の配線構造は、図28の従来技術と同様に、第1層と第2層の配線並びに第3層と第4層の配線は互いに直交する配線グリッドを備えている。すなわち、第1層に対して、第3層と第4層はそれぞれ 45° 、 135° で交差するようにグリッドが配置されている。

【0053】図1中の1は、第1層の配線グリッドであり、その上層に直交して第2層の配線グリッド2が形成されている。さらに、第1層配線グリッド1に対して 45° 斜め方向の第3層配線グリッド3と、第1層配線グリッド1に対して 135° 斜め方向の第4層配線グリッド4とが順次配置されている。

【0054】ここで、第1の実施形態は、斜め方向に配置された第3層配線3の間と第4層配線4の間の配線ピッチを、それぞれ第1層配線1の間及び第2層配線2の間よりも広く設定する。具体的には、第3層配線3の間及び第4層配線4の間の配線ピッチは、第1層配線1の間及び第2層配線2の間の配線ピッチ(λ)の $\sqrt{2}$ 倍($\sqrt{2} \cdot \lambda$)に設定されている。

【0055】これにより、上層のX-Y配線格子(第3層4と第4層4)と下層の斜め配線格子(第1層1と第2層2)との階層間において格子点がずれるのを回避することができる。このため、配線設計を容易化することが可能になる。つまり、第2層と第3層との間のビアホールを第1層と第2層のグリッドの交点に置くことができ、隣接する格子を第1層または第2層の配線に用いることができる。

【0056】さらに、第1の実施形態は、配線ピッチ($\sqrt{2} \cdot \lambda$)で斜め方向に配置された第3層配線3と第4層配線4の配線幅を、第1層配線1と第2層配線2よりも広く設定する。具体的には、図2に示すように、第3層配線3と第4層配線4の配線幅は、それぞれ第1層配線1と第2層配線2の配線幅(d)の $\sqrt{2}$ 倍($\sqrt{2} \cdot d$)に設定されている。上述のように、第3層と第4層の配線ピッチが $\sqrt{2}$ 倍になっているため、図2のpが示す配線間隔は、デザインルールに違反することない。このため、デザインルールに抵触することなく、配線幅を広げることができる。

【0057】図3に示す例においては、まず垂直方向に第1層配線1が配置され、それに直交する方向に第2層配線2が配置されている。これに対して、斜め方向に第3層配線3と第4層配線4が配置されている。図中12は第1層配線1と第2層配線2との間に置かれたビアホールであり、13は、第2層配線2と第3層配線3との間に置かれたビアホールであり、さらに14は第3層配線3と第4層配線4との間に置かれたビアホールであ

る。

【0058】第1の実施形態は、上記の配線ピッチおよび配線幅の特徴を前提として、斜め方向に配置された第3層配線3と第4層配線4の配線膜厚を、第1層配線1と第2層配線2よりも厚く設定している。具体的には、図3に示すように、第3層配線3と第4層配線4の配線膜厚は、それぞれ第1層配線1と第2層配線2の配線幅(t)の $\sqrt{2}$ 倍($\sqrt{2} \cdot t$)に設定されている。なお、図3中の10はトランジスタが形成される半導体基板であり、11は層間絶縁膜である。上記の第3層および第4層の配線幅および配線膜厚を第1層および第2層の $\sqrt{2}$ 倍とした構造を用いることにより、第3層配線と第4層配線の配線断面積は、以下の式が示すように、第1層配線と第2層配線の配線断面積の2倍となる。

$$【0059】\sqrt{2} \times \sqrt{2} = 2$$

このため、単位長当たりの配線抵抗は第1層および第2層の配線の $1/2$ となる。一方、隣接配線との対向面積は、 $\sqrt{2}$ 倍となるが、隣接配線間隔も $\sqrt{2}$ 倍となるため、第3層配線及び第4層配線における隣接配線間容量は、第1層配線及び第1層配線における隣接配線間容量と同じである。配線抵抗が $1/2$ で隣接配線間容量は同じであるから、単位長さ当たりの配線RC遅延は、第1層および第2層の配線の $1/2$ となる。尚、配線RC遅延とは、配線の抵抗成分と容量成分による遅延をいう。

【0060】上記のように、第1の実施形態によれば、第3層配線間及び第4層配線間の配線ピッチを、第1層配線間及び第2層配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定する。このため、上層の斜め配線格子と下層の基準配線格子との階層間において格子点がずれるのを回避することができ、配線設計を容易化することが可能になる。

【0061】また、配線幅も $\sqrt{2}$ 倍に設定したので、配線RC遅延を低減することができる。さらに、配線膜厚も $\sqrt{2}$ 倍に設定したので、配線RC遅延を一層低減することができ、比較的長い配線で回路の動作スピードを上げるといった観点から大きな効果が得られる。

【0062】第2の実施形態

第2の実施形態は、第1の実施形態の斜め配線格子を利用した多層配線構造において、さらに、リピータセル(バッファセル)を配線に挿入して、配線遅延によるタイミングエラーの発生を防止する実施形態である。

【0063】図4(a)、(b)、(c)、(d)は、第2実施形態のリピータセルの挿入手順を示す図である。図5(a)、(b)は配線遅延を説明するための図である。図4および図5を参照して、第2の実施形態のリピータセルの挿入手順を具体的に説明する。

【0064】まず、第1層及び第2層だけを用い、X-Y方向だけの配線で全てのネットを配線する。次に、シミュレータを用いて遅延解析を行い、タイミングエラーを起こしているネットを抽出する。この抽出されたネッ

トに対し、以下の処理を行う。

【0065】すなわち、タイミングエラーを起こしたネットに対し、リピータセルを挿入する。このリピータセルの挿入場所として、第3層と第4層を使用して、斜め方向の配線と接続できる位置にリピータセルを挿入する。第3層または第4層を用いることにより、配線長を短縮することができる。

【0066】例えば、図4(d)に示すようなネットでタイミングエラーが起きたものとする。このネットでは、セル21とセル22間におけるリピータセル20の挿入位置及び配線の方向として、図4(a), (b), (c)の三種類が考えられる。図4(a)の例では、まずX方向の配線23を使用し、次にリピータセル20を挿入した後、斜め配線25を使用している。図4(b)の例では、まずリピータセル20を挿入し、斜め方向の配線34を使用した後、X方向の配線35を使用している。図4(c)の例では、まずリピータセル20を挿入し、X方向の配線45を使用した後、斜め方向の配線46を使用している。

【0067】図4(a), (b), (c)のリピータセルの挿入位置の相違は、信号を出力するセル21とリピータセル20間と、リピータセル20と信号入力するセル22間との遅延の配分の相違を生ずる。図4(a)と図4(b)の例を比べると、セル21とリピータセル20間の遅延は、図4(b)の方が図4(a)の例よりも少ない。一方、リピータセル20とセル22間の遅延は、図4(a)の方が図4(b)の例よりも少ない。どちらの例が実際の遅延を小さくできるかは、セル21とリピータセル20のトランジスタサイズに依存する。したがって、一般的には、考え得るすべての組み合わせでの遅延を解析し、最終的なリピータセルの挿入位置及び配線方向の使用方法を決定する必要がある。但し、図4(c)の例では明らかに他の例と比べて遅延が大きくなる。

【0068】配線幅については、エルモアの配線遅延計算式に従うと、配線幅を信号出力するセルから徐々に細くした方が配線遅延は短くなる。すなわち、図5(a)に示すように、まず太い配線幅63を使用し続いて細い配線幅64を使用した方が、図5(b)に示すように、まず細い配線73を使用し続いて太い配線幅74を使用するよりも、配線遅延は短くなる。

【0069】斜め方向の配線は、X、Y軸に沿った配線よりも $\sqrt{2}$ 倍太くなっているため、まず斜め方向の配線を使用し、続いてXもしくはY方向の配線を使用した場合の方が、まずXもしくはY方向の配線を使用し続いて斜め方向の配線を使用する場合よりも配線遅延は短くなる。つまり、図4(c)の例より図4(b)の例の方が、配線遅延は短くなることが理解される。

【0070】従って、斜め配線を使用する場合で、リピータセルを挿入する際のルールは、次のように規定され

る。

【0071】(1) 信号の出力端子に近い配線に斜め配線を接続する。

(2) 信号の出力端子には斜め配線を接続する。

(3) リピータセルの信号出力端子に近い配線に斜め配線を多用する。

(4) リピータセルの信号出力端子に斜め方向の配線を接続する。

(5) 信号出力端子に斜め配線が接続できる位置にリピータセルを配置する。

【0072】以上のルールに従うと、リピータセルの構造も次のように規定される。

【0073】(1) 信号入力端子は、X-Y方向に沿った配線に接続することが容易になるように形成する。すなわち、1層目に信号入力端子を作る。

(2) さらに、信号出力端子は、斜め方向の配線に接続することが容易になる様に形成する。すなわち、3層目に信号出力端子を作る。

【0074】上記のように、第2の実施形態によれば、配線遅延によるタイミングエラーの発生を防ぐために、配線ネット上に信号を中継、増幅するリピータセルを挿入する際に、斜め配線格子を利用して、この斜め配線格子と接続できる位置にリピータセルを挿入する。このため、最適な条件でリピータセルを挿入して、配線長を短縮して配線遅延をさらに低減することができる。

【0075】第3の実施形態

第3の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、セルロウと平行な方向に配線チャンネルを設けて、セルロウ方向の配線リソース不足を解消する実施形態である。

【0076】図6は、本発明の第3の実施形態に係る半導体集積回路の構成を示すレイアウト図である。

【0077】図6の半導体集積回路は、論理セルを列状に配列して形成した複数のセルロウ80を有する。この複数のセルロウ80の上部に、図1に示した斜め配線格子を有する多層配線が形成されている。

【0078】具体的には、図6中の1が第1層のメタル配線であり、2が第2層のメタル配線であり、3が第3層のメタル配線であり、そして4が第4層のメタル配線である。図6の構成において、各セルロウ80と平行な方向には、それぞれ各メタル配線1, 2, 3, 4で構成される配線チャンネル85が形成されている。すなわち、セルロウ80と平行な方向に配線チャンネル85を設けられている。このため、少ない配線階層によって、より多くの配線リソースを要するセルロウ方向の配線リソースを確保することができる。

【0079】上記のように、第3の実施形態によれば、少ない配線階層によって、より多くの配線リソースを要するセルロウ方向の配線リソース不足を解消して配線リソースを確保することができる。

【0080】第4の実施形態

第4の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、斜めに交差する配線を接続するビアホールのカット面積が不十分にならないように、その形状を改良した実施形態である。

【0081】図7(a), (b), (c), (d)はそれぞれ、第4の実施形態に係る半導体集積回路のビアホールの形状を示す部分平面図である。

【0082】第4の実施形態に係る半導体集積回路は、図1に示した斜め配線格子を有する多層配線構造において、X-Y方向配線(第1層または第2層)と、これに対して45°または135°の角度を成す斜め方向配線(第3層または第4層)とを接続する際に、図7(a), (b), (c), (d)に示すように、縦断面が八角形、平行四辺形、または六角形のビアホールを用いる。これらの断面形状のビアホールを用いることによって、交差する配線層間に必要十分な断面面積のビアホールカットを作成することができる。

【0083】図7(a)の例では、X-Y方向配線91と斜め方向配線92との交差点には、八角形のビアホール90Aが形成されている。また、図7(b)の例では、X-Y方向配線91と斜め方向配線92との交差点には、平行四辺形のビアホール90Bが形成されている。

【0084】尚、図7(b)に示す例では、ビアホール同士が異常に接近することが考えられる。これを回避するために、図7(c)及び図7(d)に示す六角形の形状が提供されている。図7(c)の例では、X-Y方向配線91と斜め方向配線92との交差点には、六角形のビアホール90Cが形成されている。また、図7(d)の例では、X-Y方向配線91と斜め方向配線92との交差点には、六角形のビアホール90Dが形成されている。

【0085】上記のように、第4の実施形態によれば、斜めに交差する配線を接続するビアホールの断面形状を八角形、平行四辺形、または六角形とする。このため、斜めに交差する配線を接続するビアホールのカット面積が十分に確保される。第5の実施形態

第5の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、配線の障害物領域を最適に定義する実施形態である。

【0086】図8(a), (b)は、本発明の第5実施形態に係る半導体集積回路におけるセルまたはメガセルを示す図である。

【0087】図8(a)に示す101は、複数の単位素子が形成されたセル、またはこれらセルを複数集合させたメガセルである。このセルまたはメガセル101は、その四隅の45°のライン101aを境にして、有効領域102とトランジスタ領域103とに分割されている。トランジスタ領域103には、トランジスタや下位

階層セル103aが配置される。一方、有効領域102には、例えばセルの四隅近辺に生ずる配線混雑を緩和するなどの目的で(後述する)、セルの四隅を有効利用するために設けられ、トランジスタや下位階層セルは配置されない。尚、以下において、セルは上記のメガセルを含むものとして説明する。

【0088】さらに、図8(b)に示すように、上記セル101のトランジスタ領域103に配置する配線は、特に四隅ライン101a近傍で上述した45°または135°の斜め配線113を使用するとよい。

【0089】このように、セルまたはメガセルを設計する際に、上記有効領域を設け、その四隅を使用しない構成にすることにより、配線の障害物を45°または135°の斜め配線に沿った形で定義することができる。次にこの点について説明する。

【0090】図9(a), (b)は、第5の実施形態に係る配線の障害物の例を示す図である。図9(a)に示す例では、セル101内の障害物領域を小さい矩形122の集合により定義にしている。ここで、障害物領域とは、配線設計において、配線の障害物を定義するための領域である。

【0091】図9(b)に示す例では、セル101内の障害物領域をポリゴンまたはその集合で定義している。すなわち、図9(b)の例では、二つの障害物領域があった場合に、それらは台形132, 133でそれぞれ定義されている。

【0092】図9(a)に示す例ではCAD設計におけるデータ量が多くなる難点があるが、これに対して図9(b)に示す例では少ないデータ量で障害物領域を定義することができる。

【0093】図10(a), (b)は、第5の実施形態の効果を示す図である。

【0094】通常X-Y配線格子モデルにおいては、図10(a)に示すように、セルまたはメガセル141内部の障害物領域142は直交矩形的集合として定義されている。これらのセルまたはメガセル141を用いて直交配線を行うと、その四隅近辺144での配線143の混雑度が増し、それが原因でチップの集積度が低下するという問題があった。

【0095】これに対して、上述した第5の実施形態の手法で作成したセル及びメガセル101を用いて配線を行えば、図10(b)に示すように、障害物領域152はセルまたはメガセルの四隅を使用しない構成で定義されている。この障害物領域152は、斜め配線に沿った形状で定義できる。このため、上記四隅近辺154での配線153の混雑度が緩和され、チップの集積度が向上する。

【0096】上記のように、第5の実施形態によれば、セルまたはメガセルの設計において、障害物領域がセルまたはメガセルの四隅を使用しない構成で、斜め配線に

沿った形状で定義される。このため、セルの四隅を有効利用することができる。また、上記四隅近辺での配線の混雑度が緩和され、チップの集積度が向上する。

【0097】第6の実施形態

第6の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、同層で平行に配置された配線があった場合に生ずるクロストークノイズを抑制する実施形態である。

【0098】図11(a)、(b)、(c)は、本発明の第6の実施形態に係る半導体集積回路の構成の要部を示す図である。尚、図6と共通の要素には同一の符号を付し、その説明を省略する。

【0099】図11(a)に示すように同層で平行して配置された配線161、162がある場合を考える。第6の実施形態は、そのいずれか一方の配線（例えば配線162）の途中部分を、図11(b)に示すように、該配線162と45°または135°の角度を成す斜め方向配線173、174で置き換えるように配線層の変更を行う。この配線の置き換えによって、同層の二つの配線が平行になる距離は短くなり、クロストークノイズの発生を抑制することができる。

【0100】また、平行配線161、162のうち、例えばノイズを発生する方を配線161で、ノイズを受ける方を配線162と仮定すると、上述した斜め方向配線173、174で配線162の変更を行う際に、その斜め方向配線173、174上に一つまたは複数のバッファセル183を挿入する。

【0101】このように、斜め方向配線の経路中にバッファセルを挿入することにより、ノイズの伝播を完全に防ぐことが可能である。例えば、同層で平行に配置された二つの配線間に生ずるクロストークノイズの電圧レベルが、ノイズキャンセル用として挿入した前記バッファセル183の論理閾値を超えないように平走距離を制限しておけば、ノイズを完全に抑制することが可能である。

【0102】上記のように、第6の実施形態によれば、同層で平行して配置された配線いずれか一方の配線の途中部分を、斜め方向配線で置き換えるように配線層の変更を行う。また、置き換えに用いる斜め方向配線の経路中にバッファセルを挿入する。このため、同一層内の二つの配線が平行になる距離が短くなり、配線間のクロストークノイズの発生が抑制される。

【0103】第7の実施形態

第7の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、斜め配線格子の配線リソースを電源供給用として用いる実施形態である。

【0104】図12は、本発明の第7の実施形態に係る半導体集積回路の要部構成を示す図である。図6と共通の要素には同一の符号を付し、その説明を省略する。

【0105】図12に示すように、第1層配線1及び第

2層配線2の上層に位置する、第3層配線3及び第4層配線4の一部を、電源供給用の電源供給用配線191に用いる。これにより、斜め方向の一般信号線の配線リソースの一部、電源供給用として用い、セルロウ80で不足する電源を補うことができる。

【0106】上記のように、第7の実施形態によれば、斜め方向の一般信号先の配線リソースの一部を電源供給用の配線として用いる。このため、セルロウで不足する電源を補うことができる。

【0107】第8の実施形態

第8の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、セルの配置を最適化する実施形態である。

【0108】図13(a)(b)は、本発明の第8の実施形態に係る半導体集積回路のセルの配置手法を示す図である。

【0109】通常、CADによるLSI設計において、セルの配置方法は、配線長が短くなるように、かつ配線の容易性を考慮して行われる。その際、どのセルはどこに配置するといった作業には、トップダウン手法を用いた以下の手法が用いられている。

【0110】この従来の手法では、図13(b)に示すように、まず、これから配置しようとするセルの集合を縦横のカットライン260によって二つに分ける。次に、このカットライン260を横切る配線数が少なくなるようにセル201、210を配置する。その後さらに同様にしてカットラインを使用して二分割を行い、すべての領域が最小の単位になるまで、この二分割を繰り返す。上記の従来の手法を、ミニカット法と称する。

【0111】ここで、従来のカットライン260は、図13(b)に示すように、X-Y方向の配線格子に対応して縦と横の直線になっている。しかし、上述した斜め方向配線が設けられると、第5の実施形態で説明したように例えば配線の障害物として45°の角度を持っているものが登場する。このため、縦と横のカットライン260だけでは最適なセルの位置が得られなくなる。

【0112】そこで、第8の実施形態は、図13(a)に示すように、従来の縦横に直交するカットラインに加えて、斜め方向のカットライン250を用いる。この斜め方向のカットライン250を横切る配線数が最小になる様にセル201、210を配置する。これにより、縦横及び斜め方向で最適な配線ができるようにセルの位置を決めることができ、LSIの集積度を上げることが可能になる。

【0113】上記のように、第8の実施形態によれば、LSI設計でのセルの配置を設計する際において、斜め方向のカットラインを用いるミニカット法でセル配置を行う。このため、斜め配線格子を用いる多層配線構造において最適な配線が行えるようにセルの位置を最適化することができる。従って、LSIの集積度を向上させる

ことができる。

【0114】第9の実施形態

第9の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、斜め方向配線を用いる場合のクロック供給用の配線設計でのクロックツリーの構成を最適化して、配線RC遅延のばらつきを低減する実施形態である。

【0115】図14(a)、(b)、(c)、(d)は、本発明の第9実施形態に係る半導体集積回路装置のクロックツリーの基本構成を説明するための図である。

【0116】クロック信号のディレイを各経路パス毎に備えるために、一般的にツリー型の配線形状が用いられている。この場合、X-Y方向のみ配線格子の多層配線構造であれば、おおむね図14(d)に示すように、図14(b)に示すH型の配線形状の繰り返しとなる。

【0117】第9の実施形態は、こうしたツリー配線経路の構築において、図14(c)に示すように、図14(a)に示すような斜め方向配線を活用した形状の繰り返し

$$D_H = r l (2 c l) + 1/2 r l \cdot c l = 2.5 r c l^2$$

(1)

(但し、lを図14中の配線の長さとする)

一方、図14(a)に示す第9の実施形態の配線形状の

$$D_d = 1/2 r (\sqrt{2} l) \cdot c (\sqrt{2} l) = r c l^2$$

(2)

尚、図14(a)のP5とP6との間の距離は微小であるため、(2)の計算上無視することができる。

【0121】従って、図14(b)のH型よりも図14

$$D_H - D_d = (2.5 - 1) r c l^2 = 1.5 r c l^2$$

このRC遅延の低減は、配線分岐が信号伝播の上流寄りになることにより得られる効果である。また、このディレイの減少効果は、下流側に負荷容量がついてると、さらに大きくなる。さらに、使用する斜め方向配線の配線抵抗の方が、一般的にX-Y方向配線の配線抵抗より小さいため、この点もディレイの減少効果を増す要因となる。

【0123】尚、クロック端子が不均一に分布する場合には、ディレイのバランスポイントを図14(a)のライン上にとることができない場合がある。こうした場合、図15に示すように配線形状を修正する。この図15の配線形状により、バランスポイントを的確に設定することができる。この図15の配線形状は、図14(c)の全体のクロックツリーの中で、部分的に用いられよい。

【0124】また、図16(b)に示すように、ツリーの途中に挿入したバッファ310の出力端子付近において、他のバッファとディレイを揃えるために迂回経路311を設けることがある。こうした場合に、図16

(a)に示すような斜め方向配線を使用することで、ビアホール数を削減することができる。従って、この図1

返し構造を採る。すなわち、図14(a)に示すように、4つの地点P1、P2、P3、P4から斜め配線格子を使って互いに近づき合うように経路をつなぐ。P1、P2とP3、P4の二点ずつが結成された地点P5、P6で縦横どちらかの配線層の配線で結ぶことにより、図14(a)の形状が得られる。ただし、経路の分岐する地点P5、P6は、信号伝播の下流側のディレイが揃うような位置とする。

【0118】図14(b)に示す従来のH型の配線形状と、図14(a)に示す第9の実施形態の配線形状とを比較すると、配線長は数パーセントの差しかないが、配線RC遅延においては、優位な差がある。仮に、各配線層の単位長当たりの配線抵抗rと配線容量cが等しいとし、また末端には容量負荷がついていないとする。ここで、図14(b)に示す従来のH型の配線形状の配線遅延D_Hは、以下の式で得られる。

【0119】

配線遅延D_dは、以下の式で得られる。

【0120】

(a)の第9の実施形態の形状の方が、以下の分だけRC遅延を小さくすることができる。

【0122】

(3)

6(a)の構成は、ビアホール抵抗の低減や、エレクトロマイグレーション耐性の面で有利な効果が得られる。

【0125】尚、図17(a)、(b)、(c)に、45°及び135°方向の斜め配線格子を自動配線で行う場合の具体的な配線方法として迷路法を使う配線設計の例を示す。

【0126】図17(a)、(b)、(c)中の320、321は互いに接続すべき端子ペアの始点と終点である。330はチップコア領域内の配線禁止領域である。始点320から終点321まで図17(a)、

(b)、(c)中の太線で示される経路で配線が配置される。図17(a)に示す例は、X-Y方向配線と斜め方向配線を併用した場合の配線を示す。図17(b)の例は、斜め方向配線だけで配線した例を示す。また図17(c)示す例は、X-Y方向配線と135°方向の斜め配線を使った場合の配線を示している。

【0127】上記のように、第9の実施形態によれば、ツリー経路の構築において、斜め方向配線を活用した単位配線形状を組み合わせた構成を用いる。このため、配線RC遅延が低減され、最適なクロックツリーを構築することができる。

【0128】第10の実施形態

第10の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、図3のX-Y方向の配線格子を、互いに直交する3層の配線層により構成することで、セルロウ方向の配線リソースを増加させる実施形態である。

【0129】図18は、本発明の第10の実施形態に係る半導体集積回路の配線格子構造を示すレイアウト図である。図19は、図18に示すような配線格子構造に基づいて配線を実施した場合の配線構造を図18のX軸方向から観察した断面図である。

【0130】図18において、X-Y方向の配線格子は、3層の配線により構成されている。具体的には、図18に示すように、第1層配線601、第2層配線602、第3層配線603の配線と、第4層配線604、第5層配線605とは、互いに直交する配線格子を構成している。ここで、第10の実施形態は、第1層配線601と平行する第3層配線603を提供する。すなわち、第1層および第3層配線に対して、第4層配線と第5層配線はそれぞれ45°、135°で交差するようにグリッドが配置されている。

【0131】図18中の601は、第1層の配線グリッドであり、その上層に直交して第2層の配線グリッド602が形成されている。この第2の配線グリッド602の上層に直交して第3の配線グリッド603が形成されている。さらに、第1層配線グリッド601および第3層配線グリッド603に対して45°斜め方向の第4層配線グリッド604と、第1層配線グリッド601および第3層配線グリッド603に対して135°斜め方向の第5層配線グリッド605とが順次配置されている。

【0132】第10の実施形態は、第1の実施形態と同様、斜め方向に配置された第4層配線604の間と第5層配線605の間の配線ピッチを、それぞれ第1層配線601の間及び第2層配線602の間、第2層配線602及び第3層配線603との間の配線ピッチ(λ)の $\sqrt{2}$ 倍($\sqrt{2} \cdot \lambda$)に設定する。また、図19に示すように、斜め方向に配置された第4層配線604の間と第5層配線605の間の配線幅を、それぞれ第1層配線601の間及び第2層配線602の間、第2層配線602及び第3層配線603との間の配線ピッチ(t)の $\sqrt{2}$ 倍($\sqrt{2} \cdot t$)に設定する。尚、第1層配線601、第2層配線602、第3層配線603は、配線設計におけるデザインルールにより定まる最小の配線幅、高さ、配線ピッチで定義されているのが望ましい。

【0133】図18に戻り、第1層配線601と第3層配線603はセルロウ方向と平行の方向に形成される。このため、第1の実施形態と比較して、さらにセルロウ方向の配線リソースを増加させることができる。尚、第10の実施形態は、配線チャネルを設けない点において、第3の実施形態と相違する。

【0134】従来のX-Y方向に直交する配線格子による多層構造においては、複数の層の配線を平行に形成した場合、配線の平行配置によるクロストークノイズを生じていた。第10の実施形態は、斜め配線格子と配線の平行配置を組み合わせることにより、クロストークノイズの発生を抑制しつつセルロウ方向の配線リソースを確保することができる。

【0135】上記のように、第10の実施形態によれば、セルロウと平行な方向に第1層配線および第3層配線を形成し、この上層に上記の斜め配線格子を形成する。このため、セルロウ方向の配線リソースを確保することができる。

【0136】尚、第10の実施形態の変形例として、第4層配線604と第5層配線605とが成す斜め配線格子のさらに上層に、1層あるいは複数の層の配線格子を形成してもよい。このさらに上層の配線格子は、第5層配線605に対して、互いに直交する第6層配線および第7層配線がなす2つの配線格子ペアが45度の角度で形成され、以降、この構成を繰り返して構成される。すなわち、上記の第1層配線、第2層配線および第3層配線がなす基準配線格子と、第4層配線および第5層配線がなす斜め配線格子に加え、さらに互いに直交する第p-1層と第p層の2つの配線格子ペアが、第p-2層の配線に対して45度の角度をなして形成されるq層の配線構造が提供される。(但し、 $q \geq 5$)

ここで、互いに直交する第p-1層と第p層の配線は、第p-2層配線の配線ピッチの $\sqrt{2}$ 倍に設定する。また、第p-1層と第p層の配線の配線幅を、それぞれ第p-2層配線の配線ピッチの $\sqrt{2}$ 倍に設定する。尚、第1層配線、第2層配線、第3層配線は、配線設計におけるデザインルールにより定まる最小の配線幅、高さ、配線ピッチで定義されているのが望ましい。

【0137】この変形例によれば、回路の集積度を向上させるとともに、配線RC遅延を低減させることができる。

【0138】第11の実施形態

第11の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、斜め配線格子をなす配線層の配線を、比較的長い配線であるグローバル配線に用いることにより、回路スピードを向上させる実施形態である。

【0139】図20は、第11の実施形態における配線の配置を説明する図である。図21は、第11の実施形態におけるグローバル配線を説明する図である。尚、以下では理解の便宜のため、第10の実施形態と同様、X-Y方向の配線格子が第1層配線、第2層配線および第3層配線により形成され、斜め配線格子が第4層配線および第5層配線により形成される場合を例として説明するが、これが第1の実施形態に示される第1層配線および第2層配線によりX-Y方向の配線格子が形成される

場合にも適用できることはいうまでもない。

【0140】図20に示すように、第11の実施形態は、斜め配線格子をなす第4層配線及び第5層配線の上層配線は、グローバル配線のために用いられる。グローバル配線においては、一般に求められる遅延特性がクリティカルであって、この遅延特性がチップ全体の回路スピードを左右するため、特に配線RC遅延が問題となる。ここで、上記の実施形態は、上層配線のRC遅延が下層配線(X-Y方向の配線)に対して1/2となる。このため、この上層配線である斜め配線格子の配線をグ

ローバル配線に用いることによって、回路の動作スピードを向上させることができる。一方、下層配線(X-Y方向の配線)は、ローカルな配線に用いられることが望ましい。

【0141】尚、ここで、グローバル配線とは、チップ全体にわたるクロックネット(クロック配線)、バス、電源補強線などに用いられる配線である。例えば、0.25 μ mのデザインルールの場合、配線距離が約2.5mm以上の配線をグローバル配線とすると、この場合、配線RC遅延は約1.4nsec程度となる。一方、ロー

カル配線とは、これより配線距離の短い配線をいう。

【0142】尚、このローカル配線に用いられるX-Y方向の配線(下層配線)の配線ピッチは、斜め方向配線(上層配線)の配線ピッチより狭くなる。この場合、図21に示すように、例えば、クロックバッファセルやバス用のバッファセルなど、ドライブ力の強いセル610は、各層の配線(601~604)を都度介するのではなく、グローバル配線と直接接続することが望ましい。このため、第11の実施形態は、ドライブ力の強いセルの出力端子の形状を直接第4層以上の斜め配線格子の配線と接続可能な形状とする。図22に示すように、これらドライブ力の強いセルの出力端子704は、上層の斜め配線格子の直交するアクセスポイントに定義される。

【0143】これらのセルの出力端子形状を、グローバル配線に直接接続できる形状とすることにより、これらのセルについての配線長が短縮され、配線設計も容易となる。また、直接上層の第4層以上の斜め配線格子の配線と接続するので、ビアホール数を低減することができ、ビアホールに起因する抵抗を低減することができる。

【0144】上記のように、第11の実施形態によれば、斜め配線格子をなす配線層の配線を、比較的長い配線であるグローバル配線に用いる。このため、回路特性に大きく影響する配線の配線RC遅延が低減されて、回路スピードが向上される。第12の実施形態

第12の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、PLL(Phase Locked Loop)回路からのクロック供給用のクロック配線の構造を、PLLからチップセンターへ斜め配線格子を用いて配線し、このチップセンターから各フリップフロップ

への配線をツリー構造により定義することにより、RC積をバランスさせる実施形態である。

【0145】図23(a)は、従来のPLLからのクロック供給配線の配線手法を示す図である。PLL803は、センシティブなアナログセルであるため、回路特性上、チップの端部に配置する必要がある。このため、X-Y方向の配線801を用いる従来手法では、配線長が長くなっていた。図23(b)は、第12の実施形態の、PLLからのクロック供給配線の配線手法を示す図である。第12の実施形態は、PLL802からチップセンター804へのクロック供給配線802を斜め配線格子を用いて行う。このため、配線長が短縮されるとともに、配線RC遅延が低減される。図24に示すように、このチップセンターから各フリップフロップがなすクラスターへの配線がバッファセルを介してなされる。図25は、第12の実施形態のクロックツリーを示す図である。各バッファセルからは、図24に示すように、RC積をバランスさせるように、クロック配線経路が構成される。すなわち、チップセンターからはX-Y方向および斜め方向の遅延をバランスさせるように、クロック配線経路が階層的に構成される。この階層的クロックツリーは、図26に示すように、上記の第9の実施形態と同様に構成されてよい。尚、PLLは、DLLに置き換えられてもよい。

【0146】尚、これらのクロック配線経路には、上層の斜め配線格子を優先的に用い、かつ配線幅を広く設定する方がよい。すなわち、斜め配線格子の配線ピッチが下層のX-Y配線格子の $\sqrt{2}$ 倍であれば、斜め配線格子に太い配線幅を用いることが容易であり、これによって配線抵抗Rの低下に伴う配線RC遅延の増加を抑えることができる。

【0147】上記のように、第12の実施形態によれば、PLLからチップセンターへのクロック供給配線に斜め配線格子を用い、このチップセンターからチップ上の各フリップフロップへのクロック供給配線をX-Y方向および斜め方向の遅延をバランスさせるように、クロック配線経路が階層的に構成される。このため、クロック供給のための配線長が短縮されるとともに配線RC遅延が低減される。

【0148】第13の実施形態

第13の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、チップ上にSRAMが配置される場合に、斜め配線格子を用いてこのSRAM上を通過配線させた実施形態である。尚、第13の実施形態において、SRAMをDRAMに置き換えて構成してもよい。

【0149】図27は、第13の実施形態におけるメモリ上の通過配線を説明する図である。下層のX-Y方向の配線層1、2は、例えばワード線およびビット線に用いられ、SRAM901内部に形成される。一方、通過

配線 3、4 は、上層の斜め配線格子を用いて配線される。すなわち、SRAM901 内部の X-Y 方向の配線 1、2 と、斜め配線格子を用いた通過配線 2、3 とは従来のように平行とならない。このため、従来と比較して、カップリングノイズが低減される。

【0150】上記のように、第 13 の実施形態によれば、メモリ上を通過する通過配線を斜め配線格子を用いてメモリ内の配線に対して 45 度または 135 度の交差角を成して形成する。このため、メモリ内配線と通過配線とのカップリングノイズが低減される。

【0151】尚、本発明は、上述した実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において、種々変更することが可能である。

【0152】

【発明の効果】以上説明したように、本発明によれば、X-Y 方向に直交する配線格子に加えて、斜め方向に直交する配線格子を設けた多層配線構造を用いる半導体集積回路において、斜め配線層を活用することによって、回路の遅延特性とノイズ耐性が向上すると共に配線設計の容易化および製造コストの低減化が実現される。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係る半導体集積回路装置の配線格子構造を示すレイアウト図である。

【図 2】図 1 に示すような配線格子構造に基づいて配線を実施した場合の配線構造の一例を示す平面図である。

【図 3】図 2 の A-A 断面図である。

【図 4】本発明の第 2 の実施形態に係る半導体集積回路装置のリピータセル挿入手法を説明する図である。

【図 5】配線遅延を説明する図である。

【図 6】本発明の第 3 の実施形態に係る半導体集積回路装置の構成を示すレイアウト図である。

【図 7】本発明の第 4 の実施形態に係る半導体集積回路装置のピアホールの形状を示す部分平面図である。

【図 8】本発明の第 5 の実施形態に係る半導体集積回路装置におけるセルまたはメガセルを示す図である。

【図 9】第 5 の実施形態における配線の障害物の例を示す図である。

【図 10】第 5 の実施形態における配線の障害物領域と配線との関係を説明する図である。

【図 11】本発明の第 6 の実施形態に係る半導体集積回路装置の要部構成を示す図である。

【図 12】本発明の第 7 の実施形態に係る半導体集積回路装置の要部構成を示す図である。

【図 13】本発明の第 8 の実施形態に係る半導体集積回路のセルの配置方法を示す図である。

【図 14】本発明の第 9 の実施形態に係る半導体集積回路のクロックツリーの基本構成を説明する図である。

【図 15】第 9 の実施形態に係るクロックツリーの構成の変形例を説明する図である。

【図 16】迂回経路を設けた場合のツリー要部の構成を

説明する図である。

【図 17】斜め配線格子を自動配線で行う場合の具体的な配線方法を示した図である。

【図 18】本発明の第 10 の実施形態に係る半導体集積回路の配線格子構造を示すレイアウト図である。

【図 19】図 18 の配線格子構造を X 軸方向から観察した場合の断面図である。

【図 20】本発明の第 11 の実施形態に係る半導体集積回路のグローバル配線およびローカル配線による配線格子構造を説明する図である。

【図 21】第 11 の実施形態において、ドライブ力の強いセルから斜め配線格子の配線への直接接続を説明する図である。

【図 22】図 21 のドライブ力が強いセルの出力端子の定義位置を説明する図である。

【図 23】従来の PLL から各フリップフロップへのクロック供給配線の配線構造および本発明の第 12 の実施形態に係る PLL から各フリップフロップへのクロック供給配線の配線構造を説明する図である。

【図 24】第 12 の実施形態に係る PLL から各フリップフロップへのクロック供給配線の配線構造を説明する図である。

【図 25】第 12 の実施形態のクロックツリー構造を説明する図である。

【図 26】第 12 の実施形態のクロックツリー構造を説明する図である。

【図 27】本発明の第 13 の実施形態に係る半導体集積回路の配線格子構造を示すレイアウト図である。

【図 28】斜め方向の配線を利用した従来の半導体集積回路装置の配線格子構造を示すレイアウト図である。

【図 29】従来技術の格子点のずれの問題点を説明する図である。

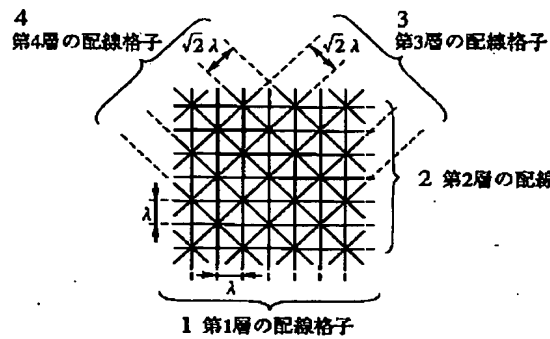
【符号の説明】

- 1、601 第 1 層配線
- 2、602 第 2 層配線
- 3、603 第 3 層配線
- 4、604 第 4 層配線
- 10 半導体基板
- 11 層間絶縁膜
- 12、13、14 ピアホール
- 20 リピータセル
- 21、22、101、201 セル
- 80 セルロウ
- 85 配線チャネル
- 102 有効領域
- 103 トランジスタ領域
- 191 電源供給用配線
- 250、260 カットライン
- 605 第 5 層配線
- 610 ドライブ力の強いセル

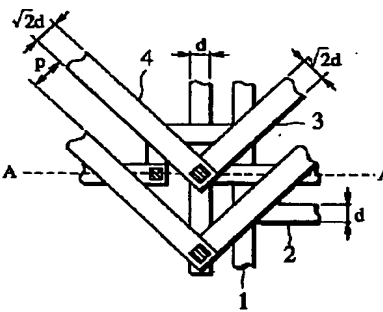
801、802 クロック配線
 803 PLL
 804 チップセンター
 805 パッファセル

806 フリップフロップ
 807 クラスタ
 901 SRAM

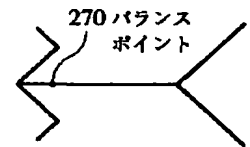
【図1】



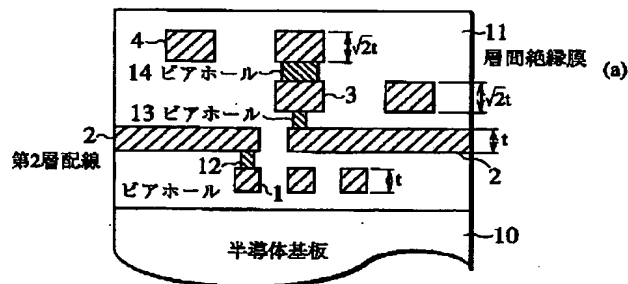
【図2】



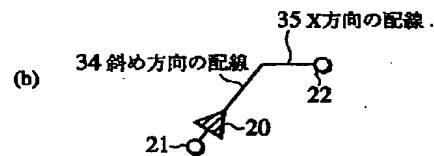
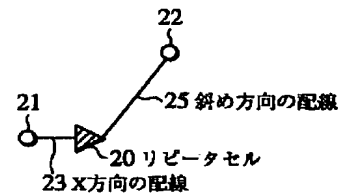
【図15】



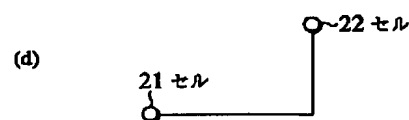
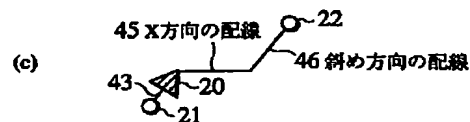
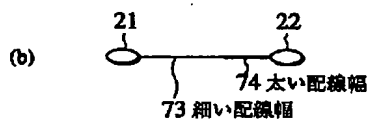
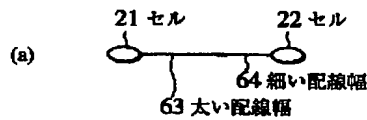
【図3】



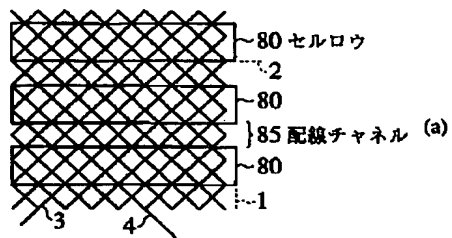
【図4】



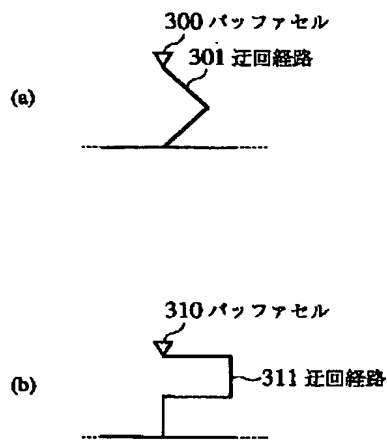
【図5】



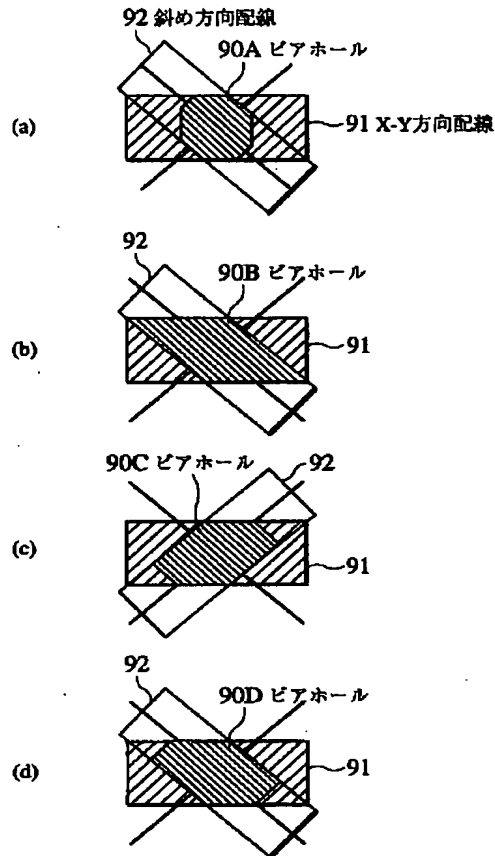
【図6】



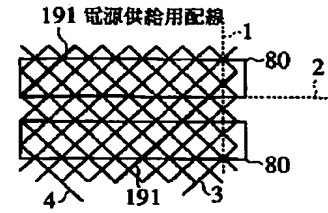
【図16】



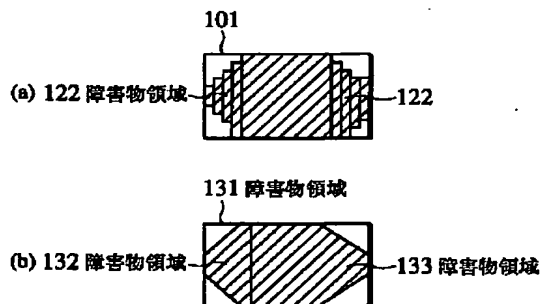
【図7】



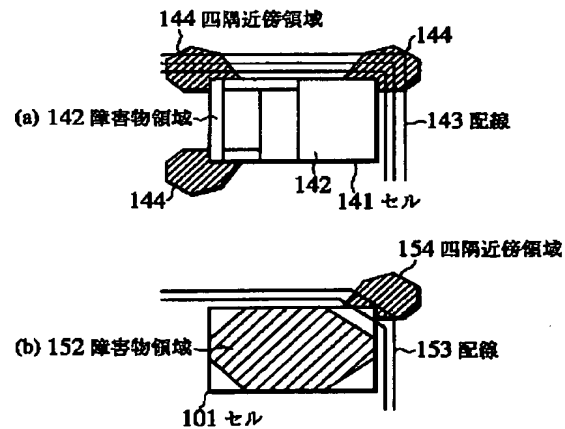
【図12】



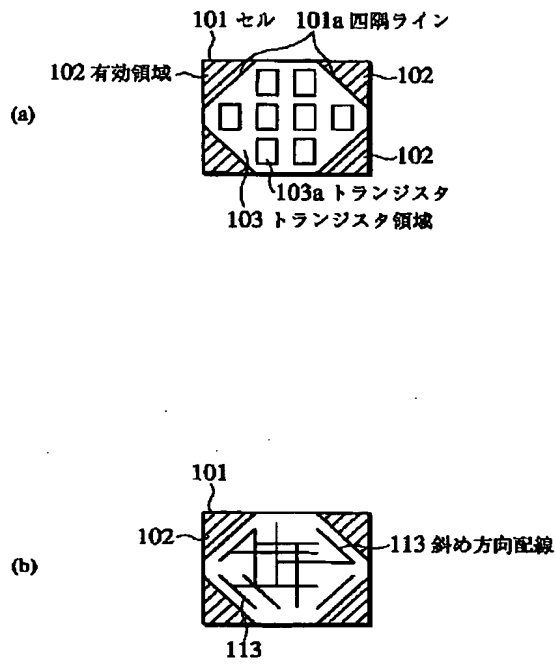
【図9】



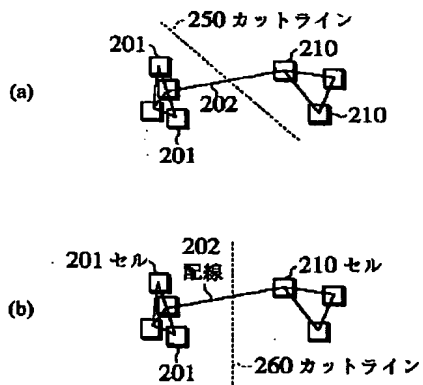
【図10】



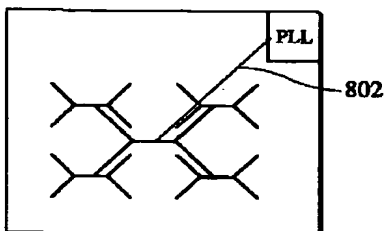
【図8】



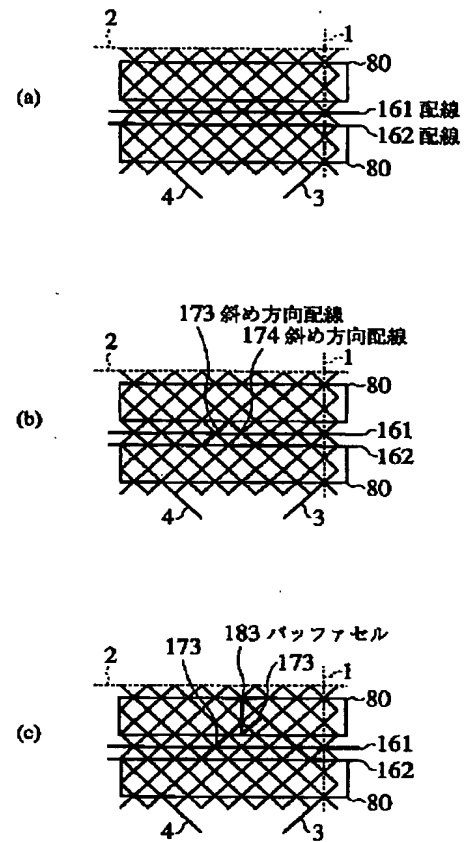
【図13】



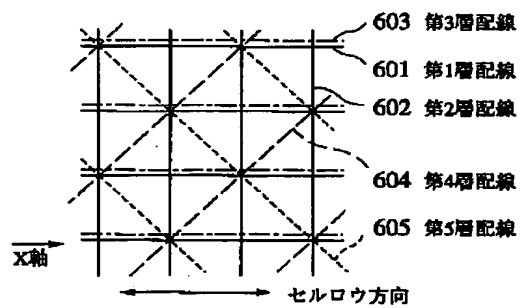
【図26】



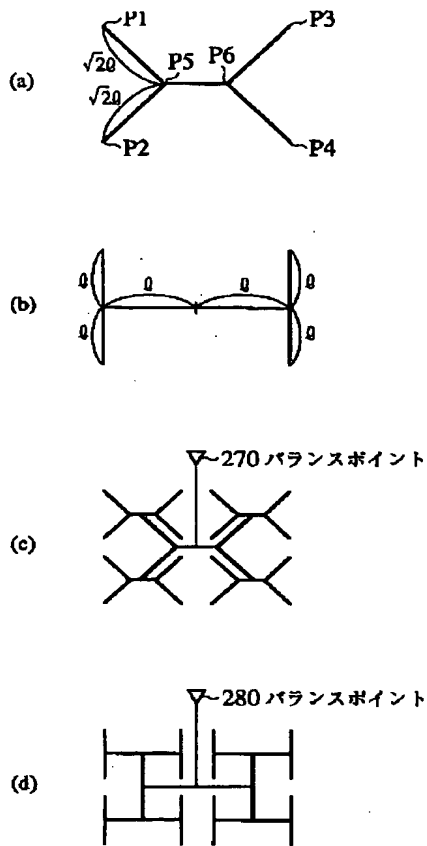
【図11】



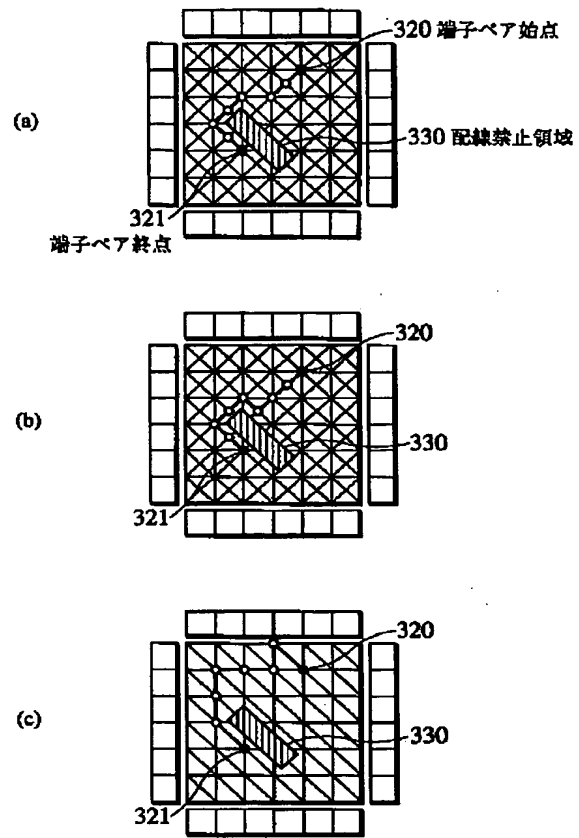
【図18】



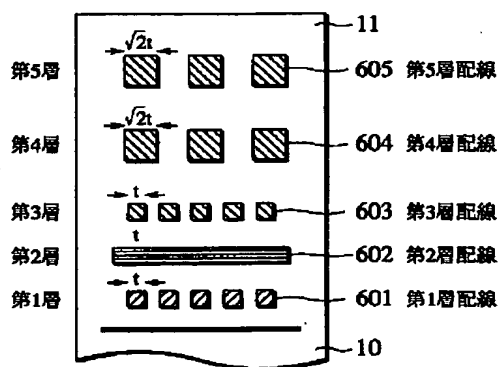
【図 14】



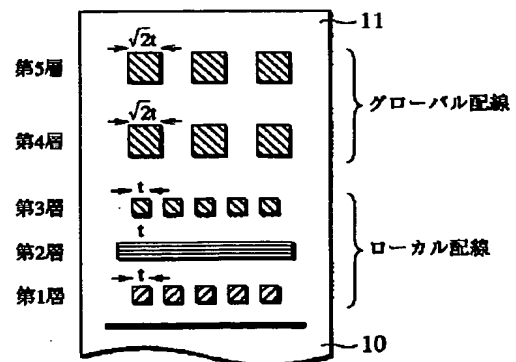
【図 17】



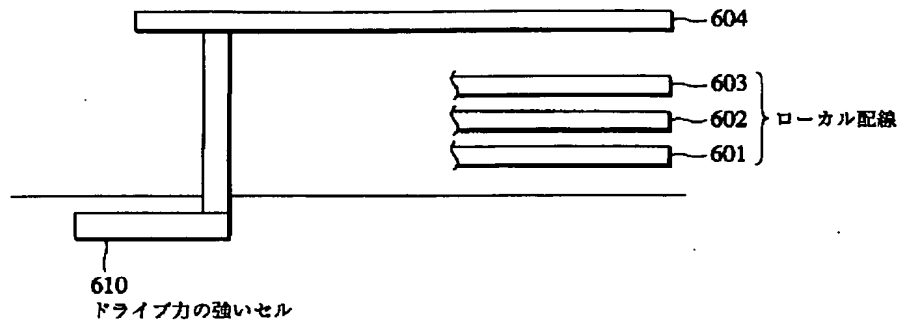
【図 19】



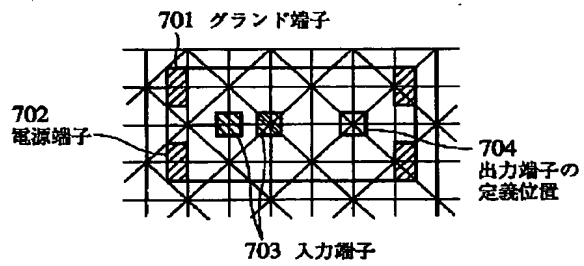
【図 20】



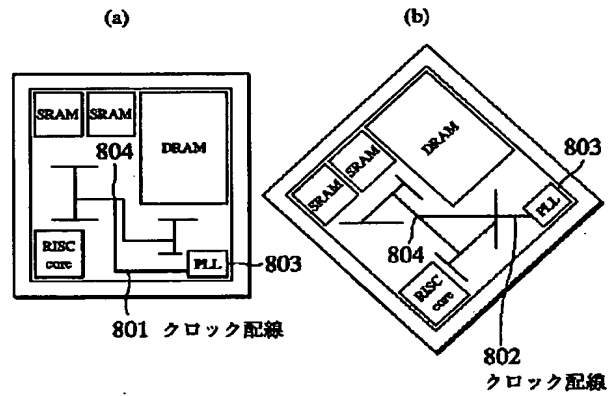
【図 21】



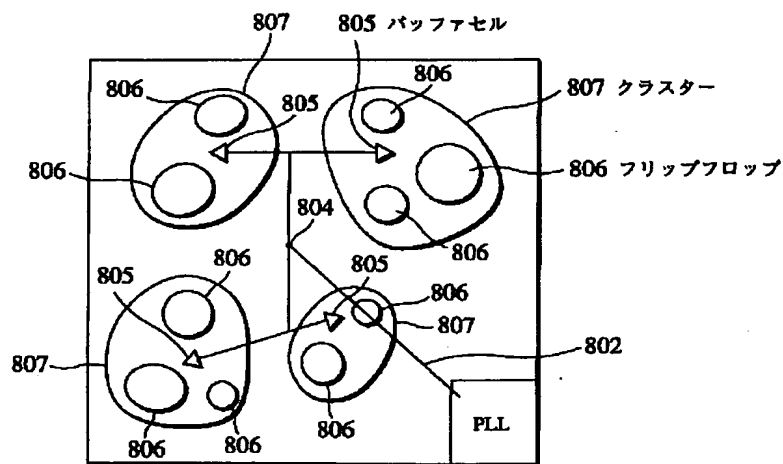
【図 22】



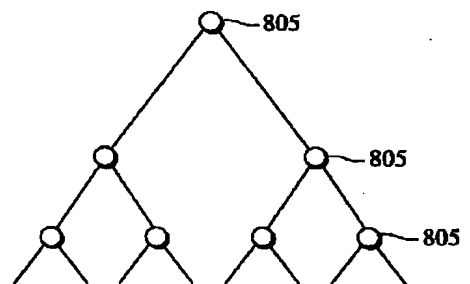
【図 23】



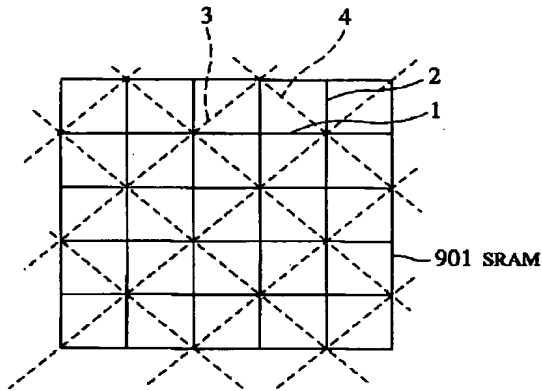
【図 24】



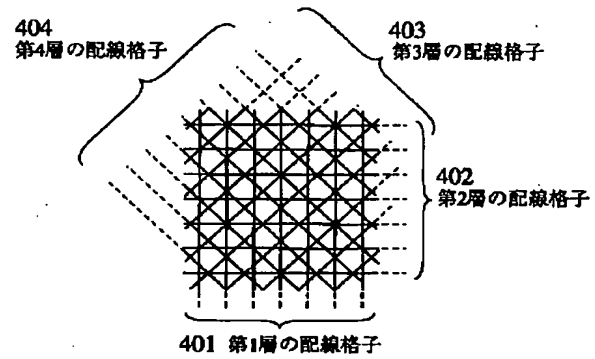
【図 25】



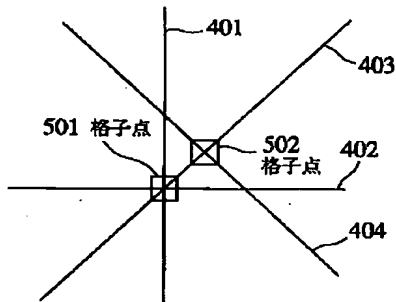
【図27】



【図28】



【図29】



フロントページの続き

- (72)発明者 村方 正美
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 山田 正昭
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

- (72)発明者 南 文裕
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 秋山 寿博
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 青木 孝哲
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内